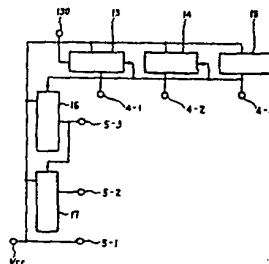
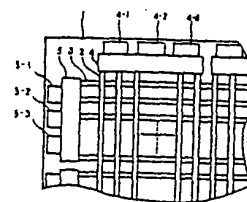


(54) SHEET-LIKE LIQUID CRYSTAL DISPLAY AND MATRIX LIQUID CRYSTAL PANEL FOR CONSTITUTING ITS DISPLAY AND DRIVING CIRCUIT

- (11) 2-254420 (A) (43) 15.10.1990 (19) JP
 (21) Appl. No. 64-75105 (22) 29.3.1989
 (71) HITACHI LTD (72) SATOSHI TAKASHIMIZU(2)
 (51) Int. Cl⁵. G02F1/1345, G02F1/133, G09F9/30, G09G3/36

PURPOSE: To connect a matrix liquid crystal panel and a driving circuit so as to be freely attachable and detachable by driving the matrix liquid crystal panel, based on data stored in a memory element, and also, providing connecting electrodes on both matrix liquid crystal panel and driving circuit, respectively.

CONSTITUTION: When a line electrode scanning circuit 4 selects successively a line electrode 3, a voltage applied to a row electrode 2 is written successively in the liquid crystal of a part pinched by the row electrode 2 and the column electrode 3. In such a manner, by writing a signal voltage applied to the row electrode 2 in the liquid crystal of the part pinched by its column electrode 2 and the row electrode 3 selected successively, information given to a matrix liquid crystal panel 1 can be displayed. A column electrode driving circuit 4 and a row electrode scanning circuit 5 are, for instance, shift registers formed on the matrix liquid crystal panel 1, operated by a signal applied from an external driving circuit through connecting electrodes 4-1, 4-2, 4-3 and 5-1, 5-2 and 5-3, and drive the column electrode 2 and the row electrode 3, respectively.



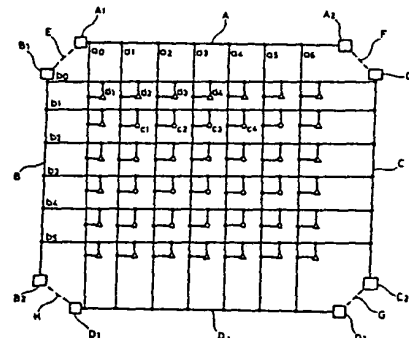
13: memory, 14: column driving control signal generating circuit, 15: clock signal generating circuit, 16: counter, 17: row driving control signal generating circuit

(54) MATRIX TYPE DISPLAY DEVICE

- (11) 2-254421 (A) (43) 15.10.1990 (19) JP
 (21) Appl. No. 64-77730 (22) 28.3.1989
 (71) MITSUBISHI ELECTRIC CORP (72) TAKASHI SUGAWARA(1)
 (51) Int. Cl⁵. G02F1/136, G09F9/30, H01L21/3205, H01L27/12

PURPOSE: To improve the yield of an element by providing row and column dummy wirings for absorbing a static electricity surge on the further outside of a row electrode line and a column electrode line for the display of the outermost side respectively, and providing a dummy switching element on the intersection part of these row and column dummy wirings.

CONSTITUTION: Column electrode lines $a_1 \dots a_s$, and dummy column electrode lines a_0, a_6 , and dummy line electrode lines b_0, b_5 for a screen display become a short circuit state through short circuit lines A - H. Accordingly, since any part in a matrix array substrate has the same potential, a superposed part of the wirings in an intersection part of the row and the column electrode lines and switching elements $c_1, c_2 \dots$ are not broken down by static electricity. Also, by the dummy electrode lines $a_0 \dots a_6$ and $b_0 \dots b_5$ and dummy switching elements $d_1, d_2 \dots$, a static electricity surge is absorbed, and damage in the switching element for a screen display and the wiring can be prevented or reduced.

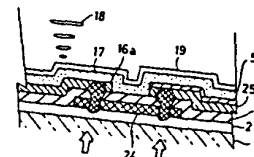
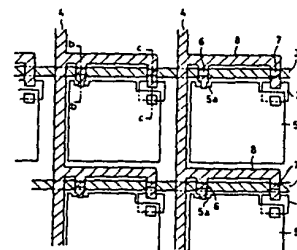


(54) MANUFACTURE OF ACTIVE MATRIX DISPLAY DEVICE

- (11) 2-254422 (A) (43) 15.10.1990 (19) JP
 (21) Appl. No. 64-77827 (22) 28.3.1989
 (71) SHARP CORP (72) KEN KANAMORI(3)
 (51) Int. Cl⁵. G02F1/136, G02F1/13, G09F9/00, G09F9/30, H01L21/82, H01L29/784

PURPOSE: To improve the manufacturing yield of a display device by confirming visually and easily a pixel defect in the case of a failure of a thin film transistor, at the time of bringing the display device to full driving by applying a driving voltage to all pixel electrodes through the thin film transistor.

CONSTITUTION: By applying a driving voltage to all pixel electrodes 5 through a thin film transistor TFT 6 from a gate bus 3 and a source bus wiring 4 of a liquid crystal display device, the display device is brought to full driving. In this case, in the case of a failure of the TFT 6, a pixel defect is confirmed visually and easily. In this pixel defect part, a joint metal 24 is irradiated with a laser light, etc., from the outside through the lower glass substrate 1 or the upper glass substrate 1. As a result, an extended end 16a, a base insulating film 11 and a joint metal layer 24 are melted mutually and a layer insulation layer is brought to dielectric breakdown and becomes a conducting state. In the same way, the conducting state is obtained between the electrode 5 side metallic piece 25 and the layer 24, as well. In such a way, a stand-by TFT 7 and the electrode 5 conduct. Also, a molten metal is not mixed into a liquid crystal since there is a protective film 17. In such a way, the pixel defect is corrected surely.



【상기 인용예1】

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-254421

⑤ Int. Cl. ³	識別記号	庁内整理番号	④ 公開	平成2年(1990)10月15日
G 02 F 1/136	5 0 0	7370-2H		
G 09 F 9/30	3 3 0	6422-5C		
	3 4 3	6422-5C		
H 01 L 21/3205		7514-5F		
27/12		6810-5F	H 01 L 21/88	Z
			審査請求 未請求	請求項の数 1 (全4頁)

⑬ 発明の名称 マトリクス型表示装置

⑭ 特 願 平1-77730

⑮ 出 願 平1(1989)3月28日

⑯ 発 明 者 菅 原 隆 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑰ 発 明 者 羽 山 昌 宏 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

マトリクス型表示装置

2. 特許請求の範囲

(1) 絶縁性基板上に、複数の並行する行電極線、該行電極線と交差する複数の並行する列電極配線、上記行電極配線と列電極配線との各交差部に接続されたスイッチング素子、及び上記各行電極線と各列電極線とを短絡する短絡配線を配設し、その上に表示材料を介して対向電極基板を配置してなるマトリクス型表示装置において、

最も外側の行電極線及び列電極線の外側にそれぞれ並行して配設された、画面表示に用いない行電極ダミー配線及び列電極ダミー配線と、

該行電極ダミー配線と列電極ダミー配線との交差部に接続されたダミースイッチング素子とを備えたことを特徴とするマトリクス型表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はマトリクス型表示装置に関し、特に

マトリクスアレイ基板の構造に関するものである。

(従来の技術)

従来のマトリクス表示装置は、一般に基板上に複数の行電極線と複数の列電極線とを交差させて配設し、各々の行電極線と列電極線との交点にスイッチング素子を配設した構造を有している。

第3図はこのようなマトリクス表示装置の一例を示しており、図において、b₁、～b_rは行電極線、a₁、～a_sは列電極線であり、c₁、c₂、…は各々の電極配線の交点に接続されたスイッチング素子である。液晶表示装置はこのような配線構造を少なくとも対向する一対の基板の一方に構成し、透明導電膜を有するもう一方の対向電極基板との間に液晶等の表示材料を挟持させることにより構成している。

上記スイッチング素子c₁、c₂、…として、少なくとも1ヶの薄膜トランジスタ(以下、TFTと略す)等の非線形素子を用いた場合、第3図に示すように各電極線が互いに独立しているため、TFTおよびTFTのドレイン電極に接続された

透明電極、及び上記配線からなるマトリクスアレイ基板は静電気による絶縁破壊等をひき起こしやすい。このため、従来においては静電気による素子破壊の対策として、各配線間を短絡することにより、各配線を同電位に保ち、マトリクスアレイ基板が静電気さらされても影響を受けないような構造がとられている。

第2図は例えば特開昭58-116573号公報に示された従来の行電極線及び列電極線を短絡する方法を示すマトリクスアレイ基板の構成例を示したものである。図において、 $a_1 \sim a_n$ は列電極線、 $b_1 \sim b_m$ は行電極線であって、 c_1, c_2, \dots は各電極線の交差点に設けたスイッチング素子である。ここで、列電極線 $a_1 \sim a_n$ は図に示すようにすべて短絡線A及びDにより短絡されており、また行電極線 $b_1 \sim b_m$ も全ての短絡線B及びCにおいて短絡されている。さらに短絡線A~D相互間、つまり図中破線で示すようにA-B間を配線E、A-C間を配線F、B-D間を配線H、C-D間を配線Gでそれぞれ接続すると、すべての

電極線は短絡状態になり、マトリクスアレイ基板が静電気さらされても、マトリクスアレイ基板内はいたる所で同電位であるので、スイッチング素子 c_1, c_2, \dots は静電気により破壊されることはない。

〔発明が解決しようとする課題〕

従来のマトリクス型表示装置では以上のような静電気に対する対策を施しているため、基板のハンドリング等の比較的低電圧あるいは除電しやすい工程における静電気に対してはスイッチング素子等の保護効果があったが、例えば液晶ディスプレイ組立における、液晶配向膜をラビング布で表面を擦ることにより液晶を配向可能にするラビング工程のように、時として数千ボルト以上の高電圧静電気が発生する工程においては、短絡線が接地されている場合等において絶縁物であるラビング布と金属である基板配線等が近接すると、相互間で高電圧で電圧持続時間の短いパルスコロナ放電が発生しやすく、このような放電サージが基板端の配線等に印加されると、各配線を短絡させ

る短絡配線を用いている場合でも、表示画面端部でのスイッチング素子の素子特性劣化や配線間短絡等の静電気障害が発生しやすい等の問題があった。

この発明は上記のような問題点を解消するためになされたもので、高パルス電圧が配線端子等に印加された場合においても、表示画面端部のスイッチング素子等の静電気障害を回避することができるマトリクス型表示装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係るマトリクス表示装置は、マトリクスアレイ基板上の最も外側の行電極線及び列電極線のさらに外側にそれぞれ、画面表示には用いない行ダミー配線及び列ダミー配線を設け、該行ダミー配線と列ダミー配線との交差点にダミースイッチング素子を接続したものである。

〔作用〕

この発明においては、最も外側の行電極線及び列電極線のさらに外側に行及び列ダミー配線を設

け、該行及び列ダミー電極の交差点にダミースイッチング素子を接続したから、静電気等による高パルス電圧がマトリクスアレイ基板に印加されてもダミー配線部分でのダミースイッチング素子等で静電気ストレスが吸収されることとなり、画面端部でのスイッチング素子等の劣化を防ぐことができ、これにより表示画面内の素子歩留りを向上でき、生産性を高め、コスト低下、信頼性向上を図ることができる。

〔実施例〕

以下、本発明の一実施例を図について説明する。

第1図は本発明の一実施例によるマトリクス型表示装置のマトリクスアレイ基板の構成例を示し、図において $a_1 \sim a_n$ は画面表示用の列電極線、 $b_1 \sim b_m$ は画面表示用の行電極線、 c_1, c_2, \dots は各電極線の交差点に設けた薄膜トランジスタ等のスイッチング素子で、該薄膜トランジスタの活性層としてはアモルファスシリコン膜あるいは多結晶シリコン膜等が用いられている。またA~Hは各配線間を短絡するための短絡線、 a_0, a_n

は上記列電極線のうち最も外側の電極線 a_1, a_2 のさらに外側に配設されたダミー列電極線、 b_1, b_2 は上記行電極線のうち最も外側の電極線 b_1, b_2 のさらに外側に配設されたダミー行電極線、 d_1, d_2 はそれぞれダミー行電極線 a_1, a_2 とダミー列電極線 b_1, b_2 との交点に配設されたダミースイッチング素子である。列電極線 $a_1 \sim a_2$ 、行電極線 $b_1 \sim b_2$ 、ダミー列電極線 a_3, a_4 、ダミー行電極線 b_3, b_4 は全て図のように短絡線 $A \sim H$ により短絡されている。また $A, B, C, D, A \sim H$ は短絡線 $A \sim H$ と配線 $E \sim H$ とを接続するための短絡パッドである。

次に作用効果について説明する。

背面表示用の列電極線 $a_1 \sim a_8$ 、行電極線 $b_1 \sim b_8$ 、及びダミー列電極線 a_9 、 a_{10} 、ダミー行電極線 b_9 、 b_{10} は短絡線 A~H を介して短絡状態となっており、フレイ基板が静電気等で帯電状態になってもマトリクスアレイ基板内はいたる所で同電位であるので、行電極線と列電極線との交差部分にある配線の重ね合わせ部分やスイッチング

素子 c_1, c_2, \dots は静電気により破壊されることはない。

さらに、TFT—LCD製造における、液晶配向膜の配向処理のためのラビング工程のように、ラビング布で基板表面を磨く等により高電圧の静電気が発生する場合において、短絡線A〜Hが接地されていること、ラビング布が金属端子等に近接する近接過程で、ラビング布と端子金属間等に静電気によるコロナ放電等のサージ電圧が印加され、基板の画面表示端部のスイッチング素子、配線等が短絡、素子特性低下等の静電気障害を受けやすい。ところが本装置では、ダミー電極線a₀、a₁及びb₀、b₁及びダミースイッチング素子d₀、d₁、…により静電気サージが吸収されることとなり、画面表示用のスイッチング素子及び配線等のダメージを防止あるいは軽減することができ、

このように本実施例では、画面表示用配線の外側にダミー配線及びダミースイッチング素子を設けたので、画面周辺部から高電圧の静電気サージが印加された場合でも、表示画面内のスイッチン

グ素子や配線を静電気障害から保護することができ、マトリクスアレイ基板の素子歩留りを向上でき、生産性を高め、製造コスト低下、信頼性向上を図ることができる。

なお、上記実施例においては複数の行電極線及び列電極線の外側にグミ配線及びグミスイッチング素子を設ける例を示したが、グミ配線は静電気障害の発生しやすい方の配線についてのみ設けても良く、この場合も上記実施例と同様の効果を得ることができる。

また、ダミースイッチング素子は、両面表示に使用しないため、必ずしも表示画面内の素子と同一構成の素子を用いる必要はなく、静電気サージを吸収するに十分な、スイッチング機能を有しない容量性素子でも良く、この場合表示電極部分に遮光性を持たすため、表示電極用の透明電極のかわりに他のA、B、C等の非遮光性の金属電極を用いても良い。このような構成においても上記実施例と同様の効果を得ることができると考えられる。

〔發明の效果〕

以上のように、この発明に係るマトリクス型表示装置によれば、最も外側の表示用の行電極線及び列電極線のさらに外側に、静電気サージ吸収用の行及び列ダミー配線を設け、雄行及び列ダミー配線の交差部にダミースイッチング素子を配設したので、両面表示部分のスイッチング素子等での静電気障害をダミー配線及びダミースイッチング素子により回避することができ、製造プロセスにおける素子歩留向上を図り、生産性を高め、コストを低減し、信頼性を高めることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるマトリクス型表示装置を示す図、第2図は従来の静電気対策を施したマトリクス型表示装置を示す図、第3図は従来のマトリクス型表示装置を示す図である。

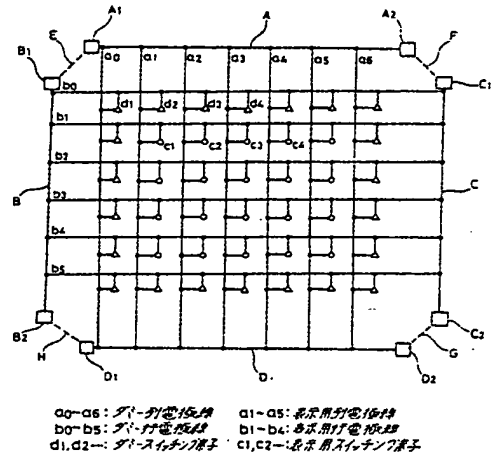
図において、 $a_1 \sim a_n$ は表示用列電極線、 $b_1 \sim b_n$ は表示用行電極線、 c_1, c_2, \dots は表示用スイッチング素子、 a_0, a_n はダミー列電極線、 b_0, b_n はダミー行電極線、 d_1, d_2, \dots

…はダミースイッチング素子である。

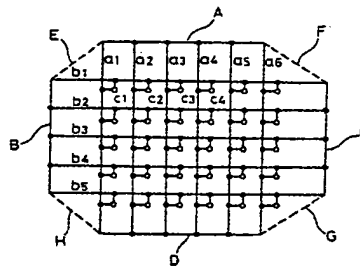
なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

第 1 図



第 2 図



第 3 図

